



## (12) Offenlegungsschrift

(10) DE 101 46 176 A 1

(51) Int. Cl. 7:

H 01 L 21/60

H 01 L 23/50

H 01 L 21/66

## (71) Anmelder:

Infineon Technologies AG, 81669 München, DE

## (74) Vertreter:

Wilhelm &amp; Beck, 80636 München

## (72) Erfinder:

Hübner, Michael, 83104 Tuntenhausen, DE

## (56) Entgegenhaltungen:

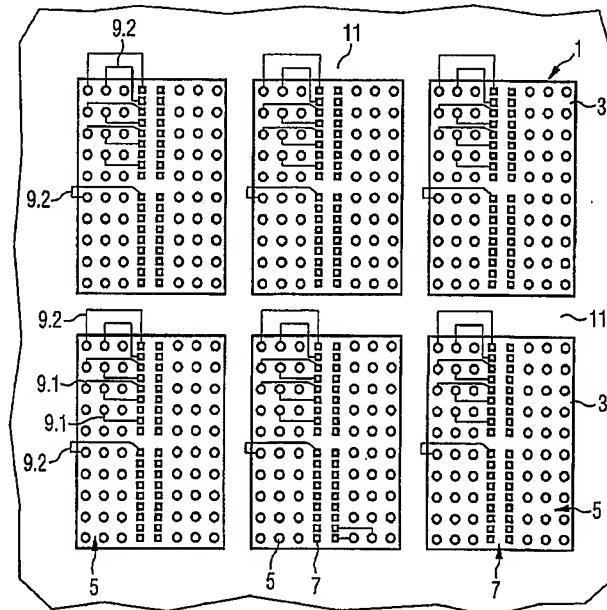
US	59 23 047 A
JP	11-3 30 176 A
JP	10-1 25 745 A
JP	10-0 50 780 A
JP	06-1 51 535 A

**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen**

Prüfungsantrag gem. § 44 PatG ist gestellt

## (54) Verfahren zur Umverdrahtung von Pads beim Waferlevel-Package

(57) Erfindungsgemäß ist ein Verfahren zur Umverdrahtung von Kontaktpads (7) beim Waferlevel-Package bereitgestellt. Um beim Waferlevel-Package die Anschlüsse der Charakterisierungspads zum Testen verfügbar machen zu können, ohne dass die später für den Endkunden zugänglich sind, ist vorgesehen, dass die Umverdrahtungsleitung (9.2) über den Ritzrahmen (11) des Wafers (1) geführt wird.



## Beschreibung

[0001] Die vorliegende Erfindung betrifft ein Verfahren zur Umverdrahtung von Pads beim Waferlevel-Package gemäß dem Oberbegriff des Patentanspruches 1 sowie einen entsprechend hergestellten Chip.

[0002] Beispielsweise bei Speicherchips gibt es gemäß dem Stand der Technik neben den Anschlüssen, die für den normalen Betrieb des Bausteins genutzt werden, noch weitere Anschlüsse. Diese dienen der Charakterisierung der Chips und der Einstellung einiger chipinterner Spannungswerte beim Wafertest. Die Anschlüsse werden im normalen Package (TSOP oder ähnlich) nicht nach außen geführt. Dadurch werden zum einen Pins am Package gespart und zum anderen wird verhindert, dass der Endkunde durch das Anlegen falscher Spannungswerte an diese Anschlüsse das elektrische Verhalten der Bausteine negativ beeinflusst. Es kann dadurch insbesondere auch sicher ausgeschlossen werden, dass unbeabsichtigt angelegte Spannungen den Chip zerstören. Beim konventionellen Wafertest werden diese Pads wie auch die zum normalen Betrieb des Chips genutzten Pads mittels einer Prüfkarte kontaktiert und so elektrisch zugänglich gemacht.

[0003] Weiterhin ist es gemäß dem Stand der Technik bekannt, ein sogenanntes Waferlevel-Package bereits vor dem ersten Test auf Waferebene aufzubringen. Beim Test des Wafers, der bereits mit einem Waferlevel-Package prozessiert ist, können nun jedoch keine Prüfkarten im herkömmlichen Sinn mehr verwendet werden, sondern es müssen die vorhandenen Anschlüsse, wie z. B. Solderballs oder Micro-Springs, zur elektrischen Kontaktierung genutzt werden. Das bedeutet jedoch auch, dass die Charakterisierungspads des Chips durch eine Umverdrahtung auf Anschlüsse geführt werden müssen, die von außen elektrisch abgreifbar sind mit den oben beschriebenen Nachteilen.

[0004] Aufgabe der vorliegenden Erfindung ist es, ein Umverdrahtungs-Verfahren für ein Waferlevel-Package bereitzustellen, das die obigen Nachteile vermeidet.

[0005] Erfindungsgemäß ist dies bei einem Verfahren mit den Merkmalen des Patentanspruches 1 erreicht. Die Lösung besteht darin, die Umverdrahtung der Charakterisierungspads, also die Verbindung zwischen den Pads und den Anschlüssen des Waferlevel-Packages, z. B. Micro-Spring oder Solderball, über den Ritzrahmen des Wafers zu führen. Die Charakterisierungspads sind damit über die Anschlüsse des Waferlevel-Package zugänglich, solange der Wafer noch nicht gesägt ist. Nach dem Sägen ist der Ritzrahmen verschwunden und die Umverdrahtungsleitung durchtrennt. Ein extra Prozessschritt zum Auf trennen der Leitungen kann erfindungsgemäß bei der Herstellung des Halbleiterproduktes entfallen. Erfindungsgemäß sind also beim Waferlevel-Package die Anschlüsse der Charakterisierungspads zum Testen verfügbar gemacht, ohne dass sie später für den Endkunden zugänglich sind.

[0006] Die elektrisch nun nicht mehr mit dem Chip verbundenen Anschlüsse/Kontaktelemente können vorteilhafter Weise mechanische Aufgaben übernehmen, wie die Verbesserung der Stabilität und Steifigkeit des Chips. Derartige "Stützballs" sind schon jetzt bei einigen Package-Designs vorhanden.

[0007] Die technische Realisierung der erfindungsgemäßen Umverdrahtung ist auch insofern einfach, wenn sich die Charakterisierungspads am Rand des Chips in der Nähe des Ritzrahmens befinden. Die entsprechenden Umverdrahtungsleitungen verlaufen dadurch überwiegend auf dem Ritzrahmen – der Platzbedarf der Umverdrahtungsleitungen auf dem Chip selbst ist entsprechend gering.

[0008] Mit der einzigen Figur ist das erfindungsgemäße

Umverdrahtungsverfahren sowie dadurch das Verfahren zur Herstellung des Halbleiterproduktes veranschaulicht und ist ausschnittsweise ein entsprechendes Halbleiterprodukt am Beispiel eines Speicherchips schematisiert dargestellt. Auf 5 einem Wafer 1 sind zahlreiche Speicherchips 3 angeordnet. Der Chip 3 weist jeweils beidseitig drei Spalten von Anschlusspins 5 in Form von Solderballs sowie dazwischen zwei Spalten von Kontaktpads 7 auf. Dabei dienen je Chip typischer Weise etwa 6 bis 10 der Kontaktpads als sogenannte Charakterisierungspads des Chips. Zu Testzwecken werden bestimmte Anschlusspins 5 mit bestimmten Kontaktpads 7 über eine Umverdrahtungsleitung 9 elektrisch miteinander verbunden. Dazu werden erste Umverdrahtungsleitungen 9.1 auf dem Chip 3 selbst ausgebildet, während zweite Umverdrahtungsleitungen 9.2 über einen Ritzrahmen 11 des Wafers 1 geführt werden. Ohne die Umverdrahtung ist die Speicherschaltung (nicht gezeigt) lediglich mit den Kontaktpads 7 verbunden. Durch die Umverdrahtung wird nun die Speicherschaltung über bestimmte Anschlusspins 5 mit den Kontaktpads 7 verdrahtet. Die Charakterisierungspads 7 sind damit über die Anschlüsse bzw. Anschlusspads 5 eines Waferlevel-Package zugänglich, solange der Wafer 1 noch nicht gesägt ist. Durch das Sägen des Wafers 1 verschwindet der Ritzrahmen 11 und die durch die über den Ritzrahmen geführten zweiten Umverdrahtungsleitungen 9.2 realisierte Verdrahtung wird aufgehoben. Die Charakterisierungspads 7 sind nicht mehr leitend mit den entsprechenden Anschlusspads 5 verbunden. Die durch die ersten Umverdrahtungsleitungen 9.1 realisierte Verdrahtung der für den normalen Betrieb des Chips notwendigen Steuerungs- und Datenleitungen sowie der Stromversorgung bleibt im Gegensatz dazu unverändert bestehen.

[0009] Aus Vereinfachungsgründen sind in der Figur nicht alle Umverdrahtungsleitungen 9 dargestellt. Weiterhin sind 35 auch die vorhandenen Speicherzellen und Logik-/Interface-schaltungen des Chips 3 nicht gezeigt.

## Bezugszeichenliste

40 1 Wafer  
3 Chip  
5 Anschlusspin  
7 Kontaktpad  
9 Umverdrahtungsleitung  
9.1 erste Umverdrahtungsleitungen  
9.2 zweite Umverdrahtungsleitungen  
11 Ritzrahmen

## Patentansprüche

50 1. Verfahren zur Umverdrahtung von Kontaktpads (7) eines Chips (3) beim Waferlevel-Package, dadurch gekennzeichnet, dass die Umverdrahtungsleitung (9.2) über den Ritzrahmen (11) des Wafers (1) geführt wird.  
2. Verfahren nach Anspruch 1, dass die Umverdrahtungsleitung (9.2) über einen Großteil deren Länge auf dem Ritzrahmen (11) geführt wird.  
3. Halbleiterchip mit Kontaktpads (7) und Anschlusspins (5), von denen einige jeweils miteinander über eine Umverdrahtungsleitung (9.1) zu Testzwecken elektrisch verbunden sind, dadurch gekennzeichnet, dass die Umverdrahtungsleitung (9.2) über den Ritzrahmen (11) geführt und dadurch unterbrochen ist.

Hierzu 1 Seite(n) Zeichnungen

**- Leerseite -**

